

Docket No.: SON-2810
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Yoshitaka Kayukawa, et al.

Application No.: Not Yet Assigned

Filed: August 26, 2003

Art Unit: N/A

For: SEMICONDUCTOR INTEGRATED CIRCUIT AND METHOD FOR TESTING SAME Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

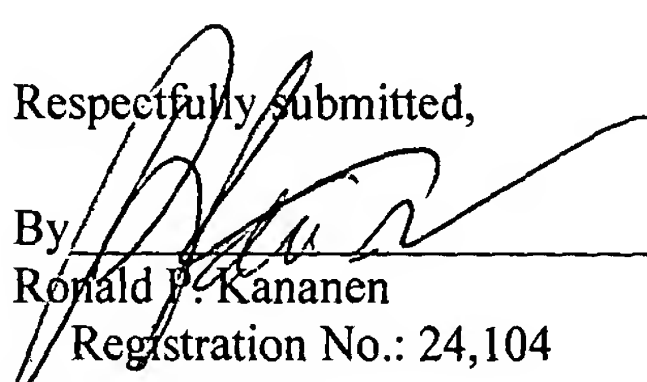
Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2002-277285	September 24, 2002

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: August 26, 2003

Respectfully submitted,

By 
Ronald P. Kananen
Registration No.: 24,104
(202) 955-3750
Attorneys for Applicant

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 9 月 2 4 日

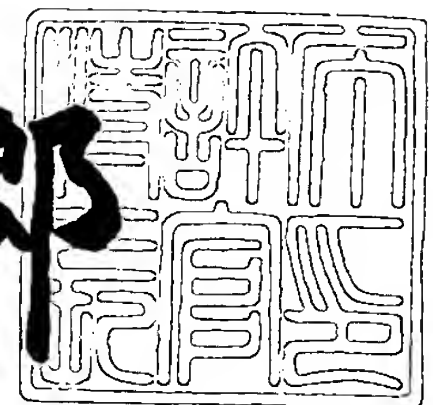
出 願 番 号
Application Number: 特 願 2 0 0 2 - 2 7 7 2 8 5
[ST. 10/C]: [J P 2 0 0 2 - 2 7 7 2 8 5]

出 願 人
Applicant(s): ソニー株式会社

2 0 0 3 年 7 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



【書類名】 特許願

【整理番号】 0290596507

【提出日】 平成14年 9月24日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/00

【発明者】

【住所又は居所】 神奈川県横浜市保土ヶ谷区神戸町 1 3 4 番地 ソニー・
エルエスアイ・デザイン株式会社内

【氏名】 粥川 嘉崇

【発明者】

【住所又は居所】 神奈川県横浜市保土ヶ谷区神戸町 1 3 4 番地 ソニー・
エルエスアイ・デザイン株式会社内

【氏名】 青木 徹也

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 濱口 隆浩

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 大島 典幸

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100086841

【弁理士】

【氏名又は名称】 脇 篤夫

【代理人】

【識別番号】 100114122

【弁理士】

【氏名又は名称】 鈴木 伸夫

【手数料の表示】

【予納台帳番号】 014650

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710074

【包括委任状番号】 0007553

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路とその試験方法

【特許請求の範囲】

【請求項 1】 通常動作モードと、内部論理回路をスキャンテストするテストモードとを有する半導体集積回路であって、

前記内部論理回路に対するスキャンテストを実行するように配された複数のフリップフロップと、

論理レベルにより前記通常動作モードか前記テストモードを選択的に指定するモード信号に応じて、前記通常動作モードから前記テストモードに遷移するとき前記複数のフリップフロップをリセットするリセット手段と、

を備えたことを特徴とする半導体集積回路。

【請求項 2】 前記リセット手段は、前記モード信号に応じてさらに前記テストモードから前記通常動作モードに遷移するとき前記複数のフリップフロップをリセットする請求項 1 に記載の半導体集積回路。

【請求項 3】 前記複数のフリップフロップに対して直列接続され、前記テストモードにおいて供給されたデータを出力すると共に、前記通常動作モードにおいて供給されたデータの出力を禁止する出力制御手段を、

さらに備えた請求項 2 に記載の半導体集積回路。

【請求項 4】 前記複数のフリップフロップに接続された記憶手段と、前記モード信号に応じて、前記テストモードでは前記記憶手段へのアクセスを禁止するアクセス制御手段と、

をさらに備えた請求項 3 に記載の半導体集積回路。

【請求項 5】 通常動作モードと、内部論理回路をスキャンテストするテストモードとを有する半導体集積回路であって、

前記内部論理回路に対するスキャンテストを実行するように配された複数のフリップフロップと、

論理レベルにより前記通常動作モードか前記テストモードを選択的に指定するモード信号に応じて、前記テストモードから前記通常動作モードに遷移するとき

前記複数のフリップフロップをリセットするリセット手段と、
を備えたことを特徴とする半導体集積回路。

【請求項 6】 前記モード信号の前記論理レベルの遷移タイミングを検出する遷移検出手段をさらに備え、

前記リセット手段は、前記遷移検出手段が前記遷移タイミングを検出したときに前記複数のフリップフロップをリセットする請求項 1 又は請求項 5 に記載の半導体集積回路。

【請求項 7】 通常動作モードと内部論理回路をスキャンテストするテストモードとを有する半導体集積回路であって、

前記内部論理回路に対するスキャンテストを実行するように配された複数のフリップフロップと、

前記複数のフリップフロップに対して直列接続され、前記テストモードにおいて供給されたデータを出力すると共に、前記通常動作モードにおいて供給されたデータの出力を禁止する出力制御手段と、

を備えたことを特徴とする半導体集積回路。

【請求項 8】 通常動作モードと、内部論理回路をスキャンテストするテストモードとを有する半導体集積回路であって、

前記内部論理回路に対するスキャンテストを実行するように配された複数のフリップフロップと、

前記複数のフリップフロップに接続された記憶手段と、

論理レベルにより前記通常動作モードか前記テストモードを選択的に指定するモード信号に応じて、前記テストモードでは前記記憶手段へのアクセスを禁止するアクセス制御手段と、

を備えたことを特徴とする半導体集積回路。

【請求項 9】 内部論理回路と前記内部回路をスキャンテストするための複数のフリップフロップとを備え、通常動作モードと前記スキャンテストを実行するテストモードとを有する半導体集積回路の試験方法であって、

前記通常動作モードから前記テストモードに遷移するとき前記複数のフリップフロップをリセットすることを特徴とする半導体集積回路の試験方法。

【請求項 1 0】 内部論理回路と前記内部回路をスキャンテストするための複数のフリップフロップとを備え、通常動作モードと前記スキャンテストを実行するテストモードとを有する半導体集積回路の試験方法であって、

前記テストモードから前記通常動作モードに遷移するとき前記複数のフリップフロップをリセットすることを特徴とする半導体集積回路の試験方法。

【請求項 1 1】 内部論理回路と前記内部回路をスキャンテストするための複数のフリップフロップと、前記複数のフリップフロップに接続された記憶手段とを備え、通常動作モードと前記スキャンテストを実行するテストモードとを有する半導体集積回路の試験方法であって、

前記テストモードにおいては前記記憶手段へのアクセスを禁止することを特徴とする半導体集積回路の試験方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は L S I などの半導体集積回路であって、特にスキャン回路が設けられている半導体集積回路、及びその試験方法に関するものである。

【0 0 0 2】

【従来の技術】

従来より、L S I の製造テスト手法としてスキャンテストが知られている。

図 4 は、スキャンテストを実行可能とする半導体集積回路（L S I）のモデルである。この L S I には、内部回路 6 0 として各種論理回路が構築され、例えば入力端子 i n 1 ～ i n 4 からの入力データについて、内部回路 6 0 で演算が行われる。そしてその演算結果が出力端子 o u t 1 ～ o u t 4 から出力される。

このような L S I において、スキャンテストを可能とするために、図示するようにスキャンフリップフロップ 6 1 ～ 6 8 が接続される。このスキャン F F 6 1 ～ 6 8 は、例えばマルチプレクサ機能を有するフリップフロップであり、スキャン入力端子（scan in）からスキャン出力端子（scan out）までの間、所要数のスキャンフリップフロップがシリアル接続される。このシリアル接続はスキャンチェーンと呼ばれる。

【0 0 0 3】

そしてスキャン入力端子 (scan in) からスキャンデータパターンを入力することで、内部回路 6 0 に対する入力としてスキャンフリップフロップ 6 1 ~ 6 4 に任意の値をセットする。セットされた値は内部回路 6 0 で処理され、その結果データがスキャンフリップフロップ 6 5 ~ 6 8 に出力される。その後、スキャンチェーンをシフトさせ、スキャン出力端子 (scan out) から結果データを観測する。このような手法により、L S I の不良個所等の検査を行う。

この図 4 は非常に簡略化したスキャンテストのモデルであるが、例えば下記文献には、各種スキャンテスト手法が記載されている。

【0 0 0 4】

【特許文献 1】 特開昭 6 3 - 1 3 4 9 7 0 号公報

【特許文献 2】 特開平 4 - 7 2 5 8 3 号公報

【特許文献 3】 特開平 5 - 1 7 2 8 9 7 号公報

【特許文献 4】 特開平 4 - 2 8 7 5 1 0 号公報

【0 0 0 5】

【発明が解決しようとする課題】

ところが、上記スキャンチェーンのようにスキャン回路を挿入した L S I では、動作途中の L S I 内部のレジスタの値を外部に出力する事、及び外部からレジスタにデータを入力することができるため、次のような不都合が起きる場合がある。

【0 0 0 6】

例えば、暗号などのセキュリティデータを扱う L S I を考えると、データが受信されレジスタにロードされているときにスキャン動作を行なうと、スキャンチェーンを経由してセキュリティデータが外部に出力される可能性がある。即ち、スキャンチェーンの構成を利用することで、セキュリティデータが抜き出されて知られてしまうおそれがある。

また、同じく受信等に係るセキュリティデータを内部の R A M に書き込んでいるときにスキャン動作を行うことで、そのセキュリティデータがスキャンチェーンを経由して外部に出力できる可能性もある。

さらには、通常モードにおいて何らかの手法でシフトイネーブルを制御し、スキャンチェーンシフト動作を実行させて、データを取り出すおそれもある。

また、スキャンチェーンを使ってデータ入力が可能であるため、スキャンチェーンを介して内部のレジスタや R A M にデータを書き込むことで、暗号などのデータをすり替え、L S I を不正に動作させることも無いとは言えない。いわゆるなりすましである。

【 0 0 0 7 】

つまり、特に暗号などのセキュリティデータを扱う L S I においては、スキャンチェーンを備えてスキャンテストを可能とすることは、セキュリティデータの不正な読み出しや暗号解読、或いはデータ改竄によるなりすましなどが行われてしまう危険性をはらむものとなる。

その一方で、スキャンテスト手法を用いないと、品質の高い L S I テストが非常に困難になり、製造上問題である。

【 0 0 0 8 】

【課題を解決するための手段】

本発明はこのような問題に鑑みて、L S I 内部に格納された、セキュリティデータの不正な読み出しや、書き換えを防止しつつ、スキャンテストが可能な半導体集積回路を提供することを目的とする。

【 0 0 0 9 】

即ち本発明の半導体集積回路は、通常動作モードと、内部論理回路をスキャンテストするテストモードとを有する半導体集積回路である。そして前記内部論理回路に対するスキャンテストを実行するように配された複数のフリップフロップと、論理レベルにより前記通常動作モードか前記テストモードを選択的に指定するモード信号に応じて、前記通常動作モードから前記テストモードに遷移するとき前記複数のフリップフロップをリセットするリセット手段とを備える。

また、前記リセット手段は、前記モード信号に応じてさらに前記テストモードから前記通常動作モードに遷移するとき前記複数のフリップフロップをリセットする。

また、前記複数のフリップフロップに対して直列接続され、前記テストモード

において供給されたデータを出力すると共に、前記通常動作モードにおいて供給されたデータの出力を禁止する出力制御手段を、さらに備える。

また、前記複数のフリップフロップに接続された記憶手段と、前記モード信号に応じて、前記テストモードでは前記記憶手段へのアクセスを禁止するアクセス制御手段とをさらに備える。

また、前記モード信号の前記論理レベルの遷移タイミングを検出する遷移検出手段をさらに備え、前記リセット手段は、前記遷移検出手段が前記遷移タイミングを検出したときに前記複数のフリップフロップをリセットする。

【0010】

本発明の半導体集積回路は、通常動作モードと、内部論理回路をスキャンテストするテストモードとを有する半導体集積回路であって、前記内部論理回路に対するスキャンテストを実行するように配された複数のフリップフロップと、論理レベルにより前記通常動作モードか前記テストモードを選択的に指定するモード信号に応じて、前記テストモードから前記通常動作モードに遷移するとき前記複数のフリップフロップをリセットするリセット手段とを備える。

また、前記モード信号の前記論理レベルの遷移タイミングを検出する遷移検出手段をさらに備え、前記リセット手段は、前記遷移検出手段が前記遷移タイミングを検出したときに前記複数のフリップフロップをリセットする。

【0011】

本発明の半導体集積回路は、通常動作モードと内部論理回路をスキャンテストするテストモードとを有する半導体集積回路であって、前記内部論理回路に対するスキャンテストを実行するように配された複数のフリップフロップと、前記複数のフリップフロップに対して直列接続され、前記テストモードにおいて供給されたデータを出力すると共に、前記通常動作モードにおいて供給されたデータの出力を禁止する出力制御手段とを備える。

【0012】

本発明の半導体集積回路は、通常動作モードと、内部論理回路をスキャンテストするテストモードとを有する半導体集積回路であって、前記内部論理回路に対するスキャンテストを実行するように配された複数のフリップフロップと、前記

複数のフリップフロップに接続された記憶手段と、論理レベルにより前記通常動作モードか前記テストモードを選択的に指定するモード信号に応じて、前記テストモードでは前記記憶手段へのアクセスを禁止するアクセス制御手段とを備える。

【0013】

本発明の試験方法は、内部論理回路と前記内部回路をスキャンテストするための複数のフリップフロップとを備え、通常動作モードと前記スキャンテストを実行するテストモードとを有する半導体集積回路の試験方法であって、前記通常動作モードから前記テストモードに遷移するとき前記複数のフリップフロップをリセットすることを特徴とする。

また本発明の試験方法は、前記テストモードから前記通常動作モードに遷移するとき前記複数のフリップフロップをリセットすることを特徴とする。

また本発明の試験方法は、内部論理回路と前記内部回路をスキャンテストするための複数のフリップフロップと、前記複数のフリップフロップに接続された記憶手段とを備え、通常動作モードと前記スキャンテストを実行するテストモードとを有する半導体集積回路の試験方法であって、前記テストモードにおいては前記記憶手段へのアクセスを禁止することを特徴とする。

【0014】

以上の本発明によれば、通常動作状態とスキャン動作状態を切り替える為のモード信号により、スキャンテストが開始される際やスキャンテストが終了される際にスキャンチェーンを構成するフリップフロップがリセットされる。つまりフリップフロップに何らかのデータが残されていない状態でスキャン動作が開始され、又終了される。

また本発明によれば、スキャンテスト時に、スキャンテスト動作を使って内部の記憶手段にアクセスすることはできなくなる。

また本発明によれば、複数のフリップフロップに直列接続される出力制御手段は、スキャンテスト時にのみデータ出力動作するものとされ、通常動作時にはデータ出力、例えばスキャンチェーンによるシフトアウトはできないものとされる。

【0015】

【発明の実施の形態】

以下、本発明の半導体集積回路の実施の形態となり、又本発明の試験方法を実行するLSI1について説明する。

図1にLSI1の要部の構成を示す。なお図1においては、図4で説明した内部回路60に相当する回路系、即ち当該LSI1の主たる論理回路系については図示を省略し、本発明に直接関連する部位のみを示している。

【0016】

LSI1には、スキャンイン端子5、スキャンアウト端子6が設けられ、このスキャンイン端子5とスキャンアウト端子6の間は、スキャンフリップフロップ41-1・・・41-n、及びダミーフリップフロップ32によるスキャンチェーンが形成されている。

各スキャンフリップフロップ41-1・・・41-nは、それぞれマルチプレクス機能を備えたフリップフロップであり、例えば図4に示した内部回路60に対するスキャンフリップフロップ61・・・68に相当するように、図示しない内部回路に接続され、スキャンテストが可能となるように構成されている。この図1では、図4に破線で示したスキャンシフト経路のみを示しているものとなる。

そしてスキャンテスト時には、スキャンイン端子5からスキャンフリップフロップ41-1・・・にスキャンパターンが入力される。またスキャンチェーンのシフトアウトにより、スキャンテストとして観測すべきデータがスキャンアウト端子6からシフトアウトされる。

【0017】

また、各スキャンフリップフロップ41-1・・・41-n及びダミーフリップフロップ32としては、非同期リセット付のフリップフロップが使用される。

【0018】

スキャンモード入力端子2は、スキャンモード信号が入力される。スキャンモード信号は、LSI1を通常動作状態とスキャン動作状態を切り換える信号である。本例ではスキャンモード信号が「L」の場合は、LSI1は通常動作状態と

なり、スキャンモード信号が「H」となると、LSI 1 がスキャン動作状態となるものとする。

【0 0 1 9】

クロック入力端子 3 は、当該 L S I 1 のシステムクロックが入力される。本例では、システムクロックをスキャン動作時のスキャンクロックとしても使用する。つまりスキャンフリップフロップ 4 1 - 1 . . . 4 1 - n の動作クロックとしても、クロック入力端子 3 からのシステムクロックがそのままスキャンクロックとして使用される。

【0 0 2 0】

リセット入力端子 4 は、L S I 1 を内部リセットするリセット信号が入力される。図示していない内部回路は、外部から供給されたりセット信号に応じてリセットされる。

【0 0 2 1】

この図 1 に示す L S I 1 では、構成上、次の 3 つの特徴を有するものとなる。

- ①スキャンチェーンのフリップフロップに対するリセット制御
- ②スキャン動作時の内部記憶手段（R A M 1 1）に対するアクセス禁止制御
- ③ダミーフリップフロップ 3 2 による出力制御

以下、これらについて述べる。

【0 0 2 2】

<①スキャンチェーンのフリップフロップに対するリセット制御>

図示するようにリセット制御ブロック 2 0 として、フリップフロップ 2 1, 2 2、E X - O R ゲート 2 3、アンドゲート 2 4 が設けられる。

フリップフロップ 2 1, 2 2、E X - O R ゲート 2 3 は、スキャンモード信号の論理レベルの遷移タイミングを検出するために設けられている。

【0 0 2 3】

フリップフロップ 2 1, 2 2 はクロック入力端子 3 からのシステムクロックで動作する。初段のフリップフロップ 2 1 はスキャンモード信号をラッチし、また次段のフリップフロップ 2 2 は、フリップフロップ 2 1 のラッチ出力をラッチする。

各フリップフロップ21, 22のラッチ出力については、EX-ORゲート23において排他的論理和（反転出力）がとられてアンドゲート24に供給される。アンドゲート24の他端は、リセット入力端子4が接続され、外部リセット信号が供給されるようになされている。

そしてアンドゲート24の論理積出力は、スキャンフリップフロップ41-1・・・・41-n、及びダミーフリップフロップ32に対するリセット信号とされる。

【0024】

このリセット制御ブロック20の動作を図2で説明する。

図2（a）にスキャンモード信号に示す。スキャンモード信号が「H」となることで、LSI1はスキャン動作モードとなる。

リセット制御ブロック20においては、上記のようにフリップフロップ21, 22が図2（b）のシステムクロックにより動作してスキャンモード信号をラッチし、EX-ORゲート23を介して出力するため、スキャンモード信号の立ち上がりエッジ、及び立ち下がりエッジに対応して、図2（c）のエッジ検出信号が得られる。

なお、2段構成のフリップフロップ21, 22のラッチ出力がEX-ORゲート23を介して出力される構成とすることで、出力されるエッジ検出信号（Lレベル）が、少なくともシステムクロックの1クロック周期以上のパルス長となるようにしている。

【0025】

このエッジ検出信号は、アンドゲート24を介してスキャンフリップフロップ41-1・・・・41-n及びダミーフリップフロップ32に供給されるため、Lレベルのエッジ検出信号により、図2（e）に示すようにスキャンモード信号の立ち上がり及び立ち下がりに応じたタイミングで、スキャンフリップフロップ41-1・・・・41-n及びダミーフリップフロップ32はリセットされることになる。

また、リセット入力端子4から図2（d）のようにリセット信号（Lレベル）が入力された際も、このリセット信号はアンドゲート24を介してスキャンフリ

ップフロップ41-1・・・41-n及びダミーフリップフロップ32に供給されるため、これらは外部リセット入力によっても、図2(e)に示すようにリセットされる。

【0026】

このようにスキャンフリップフロップ41-1・・・41-n及びダミーフリップフロップ32は、スキャンモード信号のエッジタイミング、即ち通常動作状態からスキャン動作状態に移行する際、及びスキャン動作状態を終了して通常動作状態に移行する際に、リセットされることになる。

従って、スキャン動作開始時にリセットをかけずにスキャン動作を行ったり、スキャン動作終了時にリセットがかからないままLSI1を通常動作させることはできないものとされている。

【0027】

本例のようにスキャン回路を挿入したLSI1では、通常動作からスキャン動作に入り、スキャンチェーンを使ってフリップフロップ41-1・・・41-nのデータをシフトアウトさせることで、スキャン動作に入る直前の通常動作時のフリップフロップ41-1・・・41-nの状態が外部に出力されてしまうおそれがある。これは暗号鍵等のセキュリティデータが漏洩する可能性があることになる。

そこで本例では上記のようにスキャンモード信号の立ち上がりエッジに基づいて、スキャンモードとなった際にリセットをかけ、LSI内部を初期化するようにすることで、通常動作時に保持されたデータをシフトアウトさせることはできないようにするものである。

【0028】

またスキャン回路を挿入することで、スキャン動作中に外部からスキャンチェーンを経由して、フリップフロップ41-1・・・41-nにデータをロードすることができるが、そのまま通常動作状態に移行すると、ロードさせたデータを用いてLSI1に通常動作させることが可能となってしまう。これによって暗号などのセキュリティデータがすり替えられて使用される可能性もある。

そこで本例では上記のようにスキャンモード信号の立ち下がりエッジに基づい

て、スキャンモードが終了される際にもリセットをかけるようにし、LSI内部を初期化することで、これを防止する。

【0029】

なお、リセット信号となるエッジ検出信号は、上記のように少なくともシステムクロックの1クロック周期以上のパルス長となるようにしている。これによってスキャンフリップフロップ41-1・・・41-nのリセットが確実にかかるようにしている。

【0030】

ところで、本例ではスキャンクロックとしてはシステムクロックをそのまま用いるようにし、リセット制御ブロック20におけるエッジ検出でも、そのシステムクロックを用いるようにしている。これは次の理由による。

【0031】

例えば、仮にスキャンクロックとシステムクロックを共通化しないで、スキャン動作時に使用しないクロック（例えばシステムクロック）を用いてスキャンモード信号の両エッジ検出回路（フリップフロップ21, 22、EX-ORゲート23）を構成してしまうと、通常動作からスキャン動作に移行した後、エッジ検出回路にクロックを入力しなくてもスキャン動作を行なうことができってしまう。このため、スキャン動作開始時にリセットがかからず内部のレジスタの値を外部に出力することが可能となるおそれがある。

また逆に、通常動作時に使用しないクロック（例えばスキャンクロック）を用いてスキャンモード信号の両エッジ検出回路を構成していると、スキャン動作終了後、エッジ検出回路にクロックを入力しなくても通常動作させられる。これによって外部から任意の値をレジスタにセットし、LSIを動作させることが可能になってしまう。

このようなことを防止するため本例では、システム動作時にもスキャン動作時にも同一のクロックを使用し、そのクロック（システムクロック）を、スキャンモード信号の両エッジ検出回路に入力するようにしているものである。

【0032】

なお、本例においてスキャンパターン作成時には、スキャンモードに入ってから

ら、システムクロックを2クロック入力すればよい。図3 (a) ~ (e) に図2と同様の波形を示すが、システムクロックを2クロック入力するとリセットが解除されるため、その後 (t1時点以降)、スキャン動作を行なうことができる。

従前のスキャンパターン作成の際との相違点は、最初に2クロック入力することのみとなる。

【0033】

<②スキャン動作時の内部記憶手段に対するアクセス禁止制御>

続いて、スキャン動作状態における内部記憶手段に対するアクセス禁止制御を説明する。

図1に示すRAM制御ブロック10として、RAM11及びオアゲート12が設けられる。RAM11は、例えばセキュリティデータが記憶される記憶部であるとする。このRAM11はチップイネーブル端子11aに入力されるチップイネーブル信号XCEによって、アクセス可能／不能が制御される。この場合、アクティブローとする。

【0034】

通常動作において、LSI1の内部回路から発生されるチップイネーブル信号XCEは、オアゲート12を介してチップイネーブル端子11aに供給され、RAM11のアクセス制御が行われる。

さらに本例では、スキャンモード信号が、オアゲート12を介してチップイネーブル端子11aに供給される。

上述したように、スキャンモード信号「H」によってLSI1はスキャンモードとなる。そしてチップイネーブル端子11aはアクティブロー構成であるため、スキャン動作期間には、RAM11はアクセス禁止制御されることになる。

【0035】

本例のようにスキャン回路を挿入したLSIでは、スキャン動作時に、スキャン動作を使って内部RAMにアクセスし、内部RAMのデータをスキャンチェーンを経由して読み出したり、内部RAMに任意の値を書き込んで、通常動作させることが出来てしまう可能性がある。そこで本例では、スキャンモード信号をチップイネーブル信号として利用することで、スキャン動作中はRAM11にアク

セスできないようにするものである。

【0036】

なお、図1ではRAM11の例で示したが、LSI内部のROM、フラッシュメモリなどについても、同様の手法でスキャン動作中にアクセス可能とし、記憶されたセキュリティデータ等を保護することもできる。

【0037】

<③ダミーフリップフロップによる出力制御>

続いて、ダミーフリップフロップ32による出力制御を説明する。

図1に示すダミーフリップフロップ制御ブロック30は、スキャンフリップフロップ41-1・・・41-nによるスキャンチェーンの出力制御手段として設けられる。

図1に示すように、ダミーフリップフロップ制御ブロック30として、アンドゲート31が設けられ、このアンドゲート31の出力がダミーフリップフロップ32のクロックとされている。

アンドゲート31は、システムクロックとスキャンモード信号の論理積をとるようにされる。

【0038】

スキャンモード信号が「H」となることでLSI1はスキャンモードとなるため、アンドゲート31は、スキャン動作期間中のみに、システムクロックをダミーフリップフロップ32に供給する機能を備えたものとなる。

つまりダミーフリップフロップ32は、通常動作状態においてクロックが供給されず、動作しない。

ダミーフリップフロップ32はスキャンチェーンの最終段に接続されており、通常動作時にダミーフリップフロップ32が動作しないということは、通常動作時にスキャンチェーンを使ったシフトアウトはできないことを意味する。

【0039】

上述したスキャンモード信号のエッジ検出によるリセット処理は、通常動作時のシフトアウトに対するセキュリティ対策ではない。

そして、通常動作時にスキャンイネーブルのみを切り替えてスキャンシフトさ

せられることで、スキャンチェーンを使って内部のスキャンフリップフロップ 4 1 - 1 . . . 4 1 - n の値を読み出せる可能性がある。

このような通常動作状態でのデータ読出を防ぐ為、本例ではスキャンチェーンの最終段に、スキャン動作時のみ動作するダミーフリップフロップ 3 2 を接続することで、通常動作時にシフトアウト不能とするものである。

【 0 0 4 0 】

なお、本例ではダミーフリップフロップ 3 2 をスキャンチェーンの最終段に 1 つ接続するようにしたが、ダミーフリップフロップ 3 2 の接続位置や配設数は他にも考えられる。

すなわち例えば、セキュリティデータを扱うフリップフロップの後段に配してセキュリティデータのみを保護してもよい。

また、ダミーフリップフロップ 3 2 の代わりにアンドゲート等を適切に配置して出力制御手段を構成し、通常動作時にデータがスキャンアウト端子 6 に出力されないようにしても同様の効果が得られる。

【 0 0 4 1 】

以上、本実施の形態の 3 つの特徴的な構成を説明した。このような構成によって L S I 1 は、スキャンチェーンを備えてスキャン動作が可能とされる一方で、スキャンチェーンを利用したデータの漏洩、外部からの不正な書換等を防止することができる。従って、L S I のセキュリティ度を下げることなくスキャン手法を用いて L S I テストが出来るものとなり、セキュリティデータを扱う L S I として非常に好適である。

【 0 0 4 2 】

なお図 1 では、①スキャンチェーンのリセット制御、②スキャン動作時の内部記憶手段に対するアクセス禁止制御、③ダミーフリップフロップによる出力制御、として述べた 3 つの機能を備える構成を示したが、これらの機能のうち、少なくとも 1 つを備えることで、セキュリティ機能の高いスキャン回路付き L S I として実現できる。①②③のどの機能を搭載するかは、設計する L S I の目的、回路構成やその規模、処理データ内容、要求されるセキュリティ度、などに応じて決められればよい。

また、図 1 のリセット制御ブロック 2 0、R A M制御ブロック 1 0、ダミーフリップフロップ制御ブロック 3 0における具体的構成、例えば使用するレジスタやゲートの種類／数などは、多様に考えられることはいうまでもない。

【 0 0 4 3 】

【発明の効果】

以上の説明から理解されるように本発明によれば次のような効果が得られる。

即ち、通常動作モードとテストモードを選択的に指定するモード信号に応じて、スキャンテストが開始される際にスキャンチェーンを構成するフリップフロップがリセットされる。従って、通常動作モードにおいてフリップフロップに保持されたデータが残されていない状態でスキャン動作が開始されるため、スキャンテスト動作を利用して通常動作モードにおけるデータを抜き出すことはできないようになる。

また、スキャンテストが終了される際にスキャンチェーンを構成するフリップフロップがリセットされるため、スキャンテスト動作時にフリップフロップにロードしたデータが残された状態で通常動作モードに移ることは防止される。従って、スキャンテスト動作を利用してデータをロードして通常動作させることも防止される。

【 0 0 4 4 】

また、スキャンテスト時に、スキャンテスト動作を使って内部の記憶手段にアクセスすることはできない。このため、スキャンテスト時に、スキャンテスト動作を利用して R A M等の記憶手段にアクセスし、記憶手段のデータをスキャンチェーンを経由して読み出すことや、記憶手段に任意の値を書き込んで通常動作させるということもできないものとなる。これによって暗号等のセキュリティデータの抜き出しや、書換によるなりすましなどを防止できる。

【 0 0 4 5 】

さらに、スキャンチェーンに直列接続され、テストモードにおいて供給されたデータを出力すると共に、通常動作モードにおいて供給されたデータの出力を禁止する出力制御手段が設けられることで、通常動作モード時はスキャンチェーンによるシフトアウトはできないようにされている。このため、通常動作モード時

にスキャンイネーブルのみを変化させ、スキャンチェーンを使ったシフトアウトにより内部のフリップフロップの値を読み出すことを防止できる。

【0046】

これらのことから、スキャンテスト動作やスキャンチェーンを利用してLSI（半導体集積回路）の内部レジスタの値が外部に漏洩されてしまうことが防止され、また、スキャンテスト動作を利用してLSI内部レジスタやメモリに値を外部から設定して通常動作させることも防止される。従って、セキュリティデータ（暗号鍵等）を扱うLSIなどであっても、スキャンテスト可能に回路を構成しても問題ないものとなる。つまり、セキュリティ度を下げることなくスキャンテストが可能で製造に好適な半導体集積回路（LSI）を実現できるという効果がある。

【図面の簡単な説明】

【図1】

本発明の実施の形態のLSIの要部の回路図である。

【図2】

実施の形態のスキャンチェーンのリセット動作の説明のための波形図である。

【図3】

実施の形態のスキャンパターン作成時の説明のための波形図である。

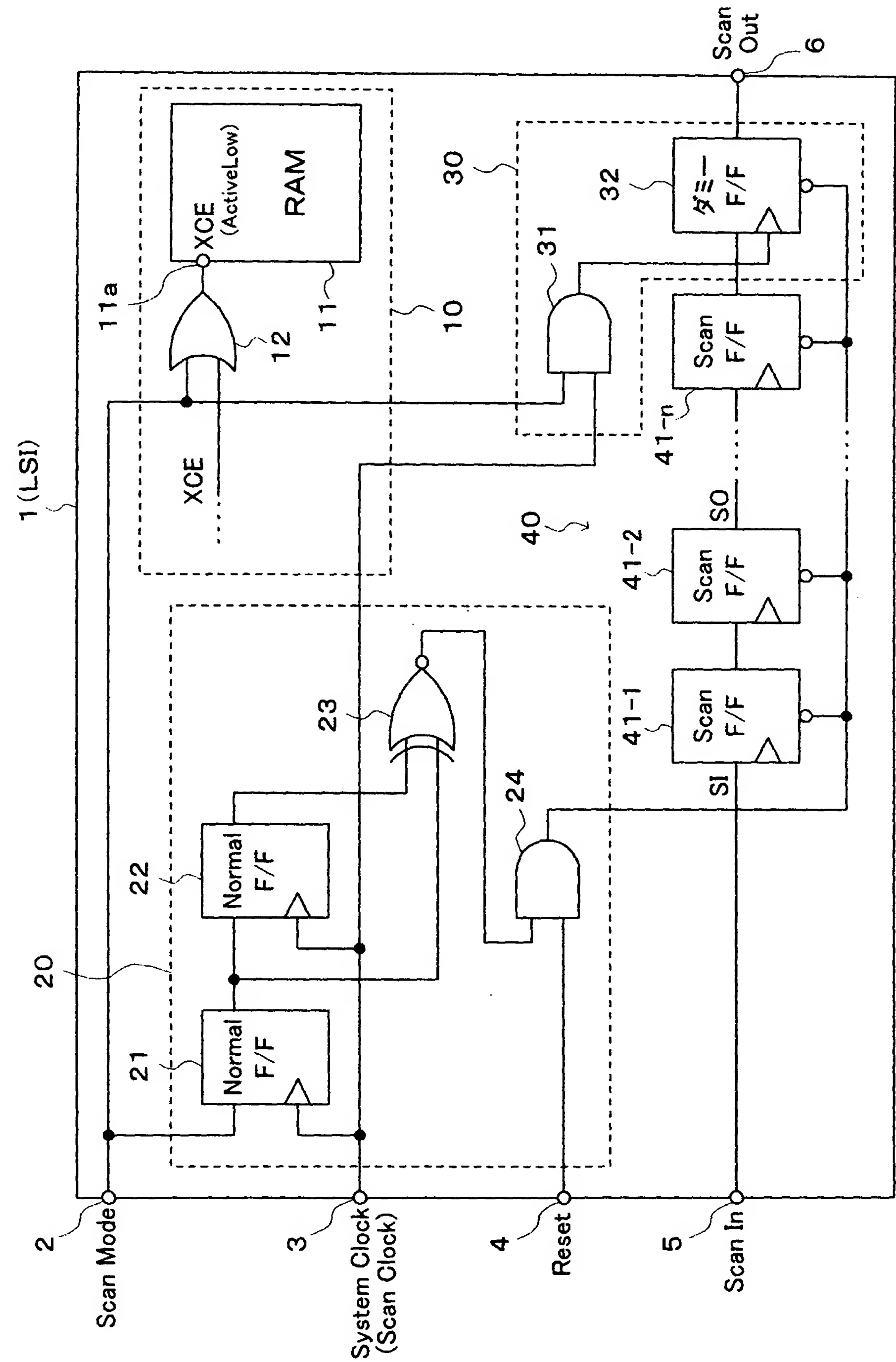
【図4】

スキャン動作の説明図である。

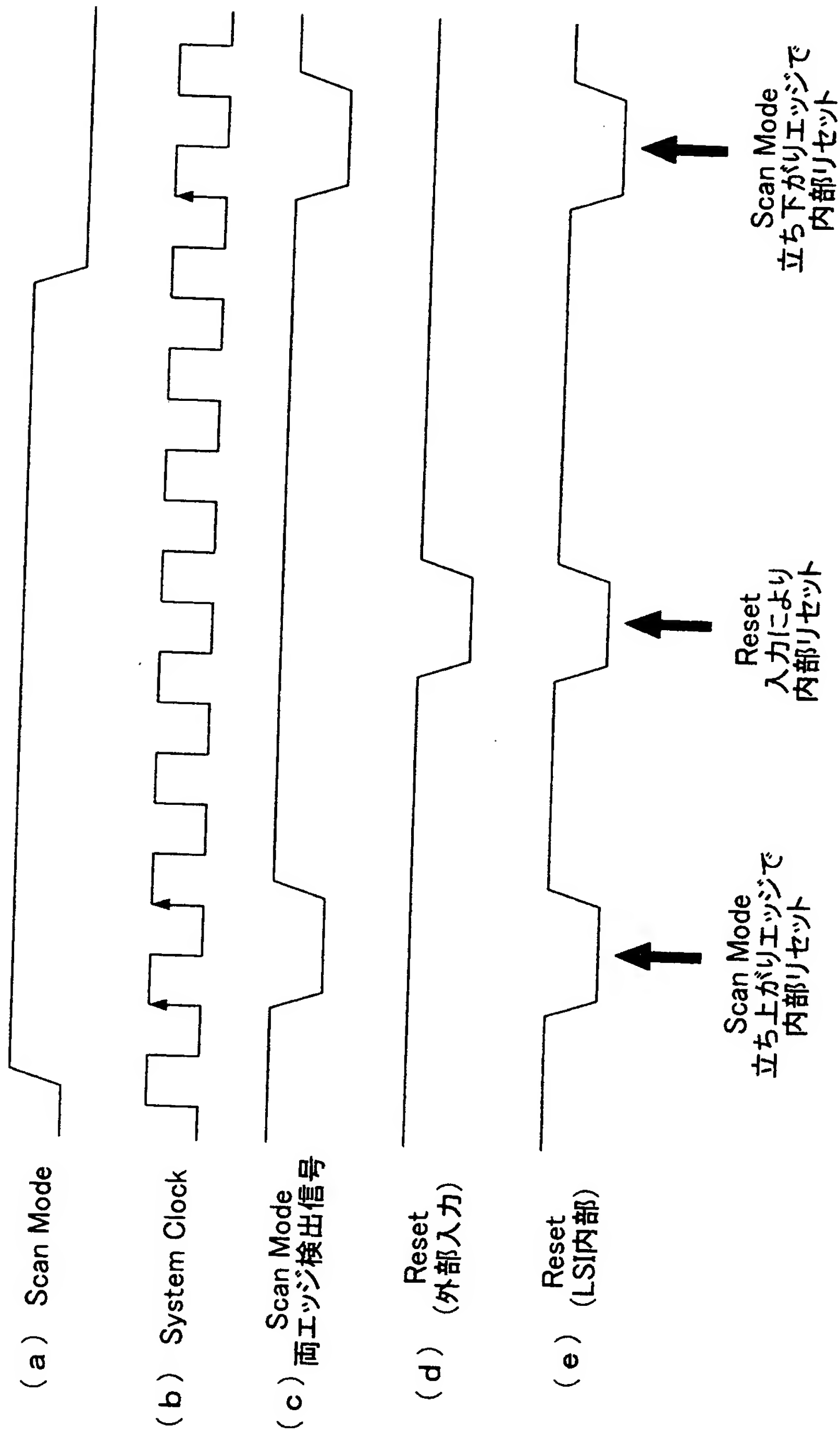
【符号の説明】

1 LSI、2 スキャンモード信号入力端子、3 クロック入力端子、4 リセット信号入力端子、5 スキャンイン端子、6 スキャンアウト端子、10 RAM制御ブロック、11 RAM、12 オアゲート、20 リセット制御ブロック、21, 22 フリップフロップ、23 EX-ORゲート、24, 31 アンドゲート、30 ダミーフリップフロップ制御ブロック、32 ダミーフリップフロップ、41-1・・・41-n スキャンフリップフロップ

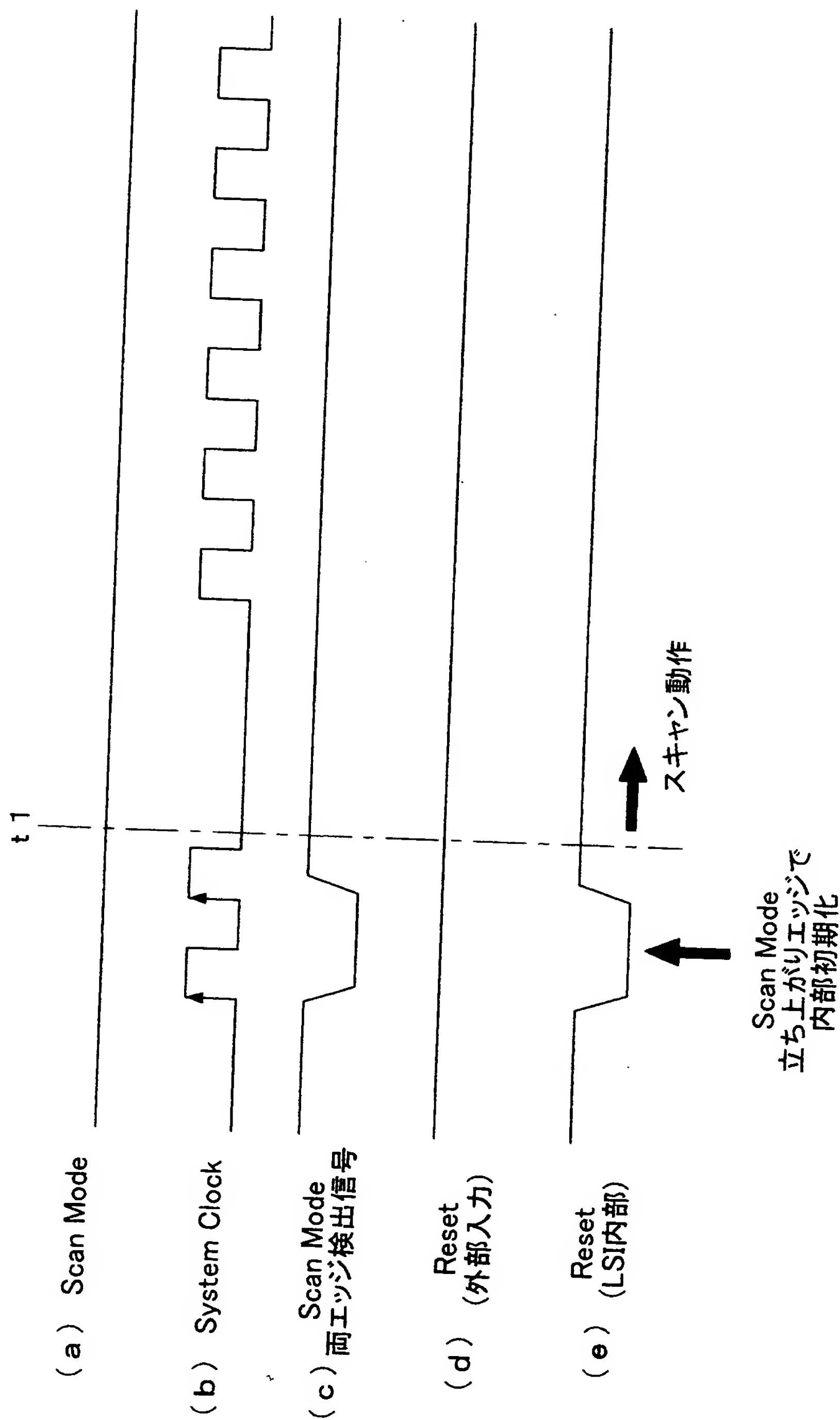
【書類名】 図面
【図1】



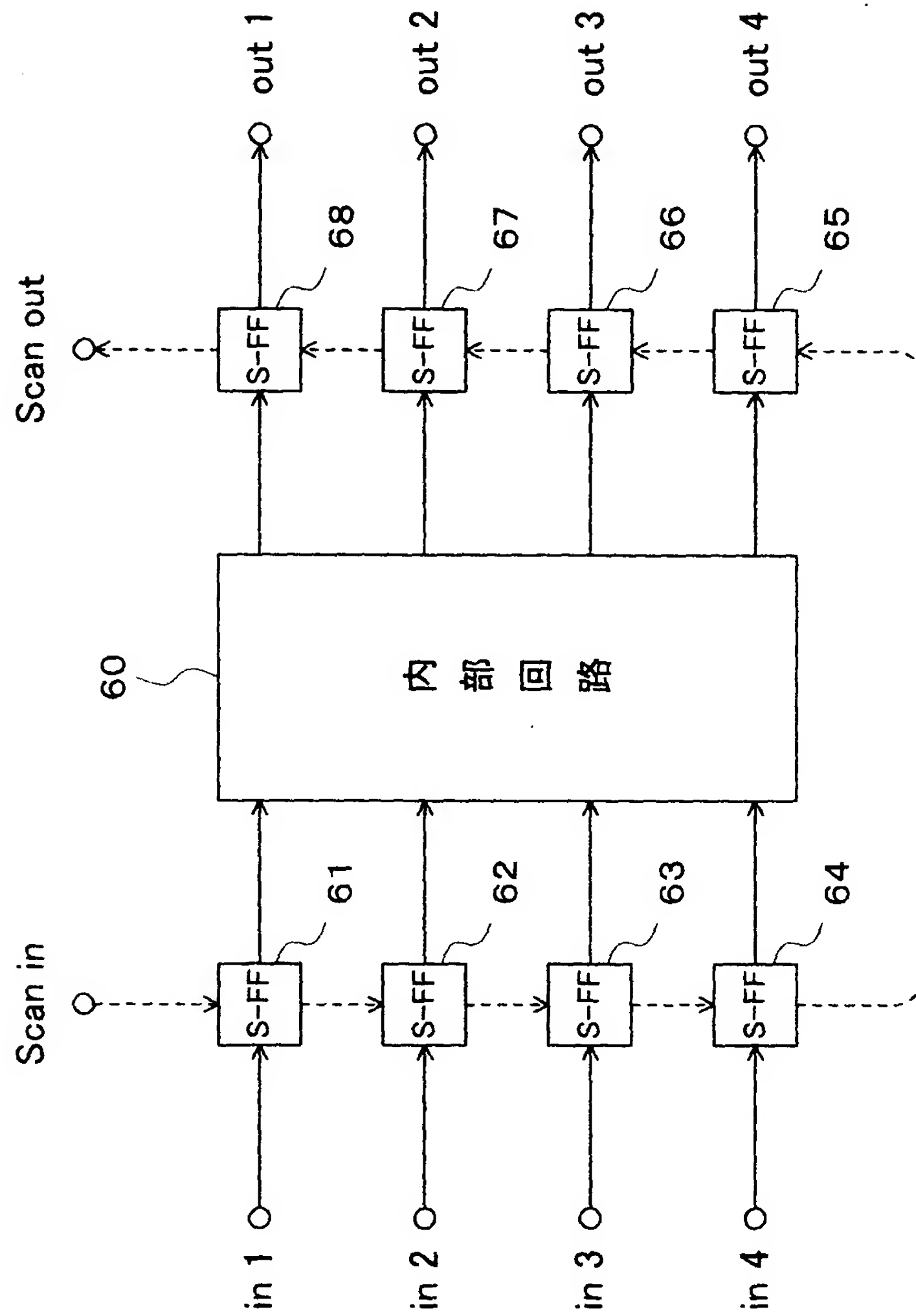
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 セキュリティを低下させずにスキャンテスト可能とする L S I の実現

【解決手段】 通常動作とスキャンテストを切り替える為のモード信号のエッジにより、スキャンテストが開始される際や終了される際にスキャンチェーンを構成するフリップフロップをリセットする。またスキャンテスト時に内部の記憶手段にアクセスできないようにする。またスキャンチェーンに、スキャンテスト時のみ動作するダミーフリップフロップを接続し、通常動作時にスキャンチェーンによるシフトアウトができないようにする。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 7 7 2 8 5
受付番号	5 0 2 0 1 4 2 2 6 7 4
書類名	特許願
担当官	第一担当上席 0 0 9 0
作成日	平成 1 4 年 9 月 3 0 日

< 認定情報・付加情報 >

【特許出願人】

【識別番号】	000002185
【住所又は居所】	東京都品川区北品川 6 丁目 7 番 3 5 号
【氏名又は名称】	ソニー株式会社

【代理人】

申請人

【識別番号】	100086841
【住所又は居所】	東京都中央区新川 1 丁目 2 7 番 8 号 新川大原ビル 6 階
【氏名又は名称】	脇 篤夫

【代理人】

【識別番号】	100114122
【住所又は居所】	東京都中央区新川 1 丁目 2 7 番 8 号 新川大原ビル 6 階 脇特許事務所
【氏名又は名称】	鈴木 伸夫

次頁無

特願 2 0 0 2 - 2 7 7 2 8 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 1 8 5]

1. 変更年月日 1 9 9 0 年 8 月 3 0 日
[変更理由] 新規登録
住 所 東京都品川区北品川 6 丁目 7 番 3 5 号
氏 名 ソニー株式会社
2. 変更年月日 2 0 0 3 年 5 月 1 5 日
[変更理由] 名称変更
住所変更
住 所 東京都品川区北品川 6 丁目 7 番 3 5 号
氏 名 ソニー株式会社